

PAT-NO: JP402026043A

DOCUMENT-IDENTIFIER: JP 02026043 A

TITLE: MANUFACTURE OF SEMICONDUCTOR ELEMENT

PUBN-DATE: January 29, 1990

INVENTOR-INFORMATION:

NAME

TOMINAGA, YUKIHIRO

ASSIGNEE-INFORMATION:

NAME

OKI ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP63174870

APPL-DATE: July 15, 1988

INT-CL (IPC): H01L021/66, H01L021/321

US-CL-CURRENT: 438/614, 438/FOR.343

ABSTRACT:

PURPOSE: To reduce pad pitch within TEG by forming a barrier layer of a bump resistance measuring part and a barrier layer of a probe contact pad and a bump electrode only on a barrier layer of the bump resistance measuring part.

CONSTITUTION: After forming barrier layers 25a and 25b of a bump resistance measuring part and barrier layers 25c and 25d of a probe contact pad, the barrier layers 25c and 25d of this probe contact pad are coated with a resist 27 and a bump electrode 26 is formed only on the barrier layers 25a and 25b of the bump resistance measuring part. Then, a constant current is allowed to flow to the barrier layers 25c and 25d of the probe contact pad with a

current

probe and voltage drop is measured by a voltage drop measuring probe for performing bump resistance measurement. Thus, short-circuiting between the

barrier layers 25a and 25b of the bump resistance measuring part and the barrier layers 25c and 26d of the probe contact pad can be prevented. It enables a measurement pad pitch 34 of Test Element Group(TEG) to be narrow.

COPYRIGHT: (C)1990,JPO&Japio

⑫ 公開特許公報(A) 平2-26043

⑤ Int. Cl.⁵H 01 L 21/66
21/321

識別記号

E

庁内整理番号

7376-5F

④ 公開 平成2年(1990)1月29日

6824-5F

H 01 L 21/92

B

審査請求 未請求 請求項の数 1 (全5頁)

④ 発明の名称 半導体素子の製造方法

② 特 願 昭63-174870

② 出 願 昭63(1988)7月15日

⑦ 発 明 者 富 永 之 廣 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
⑦ 出 願 人 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
⑦ 代 理 人 弁理士 菊 池 弘

明 細 書

1. 発明の名称

半導体素子の製造方法

2. 特許請求の範囲

(a) 半導体ウエハの表面に形成された絶縁膜を介してAl層を形成後、パッシベーション膜を形成してパターン化する工程と、

(b) 上記パターン化されたパッシベーション膜を通して上記Al層と導通するようにパンプ抵抗測定部のバリア層と電流および電圧測定用のプローブ接触パットのバリア層を形成する工程と、

(c) 上記パンプ抵抗測定部のバリア層の部分を開孔して上記プローブ接触パットのバリア層をレジストで被覆する工程と、

(d) 上記パンプ抵抗測定部のバリア層上にパンプ電極を形成する工程と、

(e) 上記二つのプローブ接触パットのバリア層に電流用プローブにより定電流を流して電圧降下測定用プローブで電圧を測定してパンプ抵抗測定を行う工程と、

よりなる半導体素子の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、パンプ電極がプローブ接触パットのバリア層上に成長しないようにし、かつパンプ構造の電流路をバリア層の近接により接触させて抵抗を測定するようにした半導体素子の製造方法に関するものである。

(従来の技術)

一般に、ウエハプロセスを管理、制御するため、第3図に示すようにウエハ内にデバイス1とは別に数チップのTEG (Test Element Group) 2とよばれるパターンが挿入されている。

第4図はこのTEG 2の部分を示す拡大平面図であり、1は上記デバイス、2は挿入されたTEGである。このTEG 2の中には単体のトランジスタや拡散抵抗等を測定するとともに、パンプ法による実験を行うプロセスにおいては、パンプ電極をメッキ法で作製するため、パンプ抵抗を測定する素子が形成されている。

この簡単な測定方法の一つの素子を示したものが、第5図の断面図であり、第4図の平面図のa-a1間に対応している。この第4図および第5図の両図において、3は半導体ウエハ、4は配線用Alパッド、5は半導体ウエハ3と配線用Alパッド4を分離する絶縁膜、6はパッシベーション膜であり、このパッシベーション膜6に形成した開孔部7を通して配線用Alパッド4が外部に接続される。8は半田パンプ電極で電解メッキにより作製されている。

また、この半田パンプ8と配線用Alパッド4とのバリア層でTi, Pt, Cu等から成るバリア層9を有している。

このような構造で半田パンプ電極8と配線用Alパッド4とのパンプ抵抗を簡単に測定する方法の一つとして、4端子法があり、電流プローブ10a, 10b間に定電流を流し、電圧測定プローブ11a, 11b間の電圧降下を測定する方法がある。

(発明が解決しようとする課題)

しかし、このようなパンプ構造を有するTEG2で

は、半田パンプ8がメッキ時、横方向にも成長するため、第4図に示すパンプピッチ12が広がってしまうという欠点があった。

この欠点を解決するために、TEG2はウエハプロセスの電気測定が終了すれば不要であり、半田パンプ電極8による実装を必要としないことから、半田パンプ電極8を形成しない方法が提案されている。これを示したのが第6図であり、1は半田パンプ電極8が形成されたデバイスの部分、2は半田パンプ電極8の無いTEGの部分である。

しかし、このように形成すると、半田パンプ電極8の高さ13とTEG2との差が大きく発生し、TEG2の部分の電気測定で他の素子と同時に測定するように設定されたプローブカードで接触できなくなるという欠点があった。

以上述べたいずれの方法でも、TEG2内のパッドピッチを小さくするとともに、半田パンプ電極8のパンプ抵抗を測定できる方法はなかった。

この発明は前記従来技術がもっている問題点のうち、パンプピッチが広がるという点と、プロ

ーブカードでTEG2の部分の接触ができないという点について解決した半導体素子の製造方法を提供するものである。

(課題を解決するための手段)

この発明は半導体素子の製造方法において、パンプ抵抗測定部のバリア層とプローブ接触パッドのバリア層の形成後このプローブ接触パッドのバリア層をレジストで被覆する工程と、パンプ抵抗測定部のバリア層上にのみパンプ電極を形成する工程と、プローブ接触パッドのバリア層に電流用プローブにより定電流を流し、かつ電圧降下測定用プローブにより電圧降下を測定してパンプ抵抗測定を行う工程とを導入したものである。

(作用)

この発明によれば、半導体素子の製造方法において以上のような工程を導入したので、パンプ電極形成時にレジストによりプローブ接触パッドのバリア層にパンプ電極が形成され、パンプ抵抗測定部のバリア層とプローブ接触パッドのバリア層間がショートしなくなり、かつパンプ抵抗測定に

おいては、プローブ接触パッドのバリア層に電流用プローブ間に定電流を流して、そのときの電圧降下を電圧降下測定用プローブで測定することにより、パンプ抵抗の測定を行う。

(実施例)

以下、この発明の実施例を図について説明する。第1図(a)はその一実施例を説明するためのパンプ抵抗測定素子のパンプ電極形成後の断面図である。

この第1図(a)において、21は半導体ウエハであり、この半導体ウエハ21の上面に絶縁膜23を形成後、この絶縁膜23上にAl配線と同時に電流路となるAl層22を形成する。

次いで、パッシベーション膜24を形成し、このパッシベーション膜24の所定箇所に開口してTi, Pt, Cuなどからなるパンプ抵抗測定部のバリア層25a, 25b、電流および電圧測定用のプローブ接触パッドのバリア層25c, 25dを形成する。

次いで、これらのパンプ抵抗測定部のバリア層25a, 25b、電流および電圧測定用のプロ

ブ接触パットのバリア層25c、25d上にレジスト27を塗布する。

このレジスト27の被膜形成後、パンプ抵抗測定部のバリア層25a、25bの部分を開孔28して、このレジスト27をマスクとして、パンプ抵抗測定部のバリア層25a、25b上に電解メッキ法でPb・Sn層によるパンプ電極26を50～200μmの高さで形成する。

このレジスト27のマスクはデバイス部と上述のごとく、パンプ抵抗測定部のバリア層25a、25bを開孔28しておき電流および電圧測定用のブローブ接触パットのバリア層25c、25dを被っておく。これにより、パンプ電極26はブローブ接触パットのバリア層25c、25dには形成されない。

これらの形成工程において、パンプ抵抗測定部のバリア層25aと25bとの間隔29はPb・Snのメッキ時に横方向に広がり接触、結合するような寸法以内、たとえば、パンプ電極26の高さ100μmの場合1.0～10.0μm位とする。

り定電流を流し、電圧降下測定用ブローブ33a、33bで電圧を測定することにより行う。

第2図はこの発明によって製造された半導体素子の平面図であり、第1図(a)、第1図(b)の断面図は第2図のc-c1間に対応しており、TEG部においてはパンプ電極26が形成されないため、TEGパッドピッチ34はデバイスのパンプピッチ35に比較して大巾に狭くすることができる。(発明の効果)

以上詳細に説明したように、この発明によれば、ブローブ接触パットのバリア層をレジストで被膜して、ブローブ接触パットのバリア層上にパンプ電極を形成して、パンプ電極がブローブ接触パット上に成長しないようにするとともに、パンプ抵抗測定に際し、ブローブ接触パットのバリア層をパンプ抵抗測定部のバリア層に近接させて接触させて行うようにしたので、TEGの測定パッドピッチを狭くできるとともに、パンプ構造で最も不安定であるメッキ抵抗を測定できる効果が期待できる。

さらに、通常のPb・Snのパンプ材を使用する方法においては、メッキ後に共晶化を行うため、200～300℃の液中に浸されるが、この処理によりパンプ抵抗測定部のバリア層25a、25b上のPb・Snのパンプ電極26は完全に共晶結合となる。これを示したのが第1図(c)である。

一方、ブローブ接触パットのバリア層25cとパンプ抵抗測定部のバリア層25aの間隔30およびブローブ接触パットのバリア層25dとパンプ抵抗測定部のバリア層25bとの間隔はパンプ電極26の横方向広がり31(第1図(b))より以上、たとえばパンプ電極26の高さ100μmのとき100μm以上に設定する。

これにより、共晶化処理においてもブローブ接触パットのバリア層25c、25dとパンプ抵抗測定部のバリア層25a、25bとがショートすることはない。

パンプ抵抗測定においては、このブローブ接触パットのバリア層25c、25dにそれぞれ第1図(b)に示すように、電流用ブローブ32a、32bによ

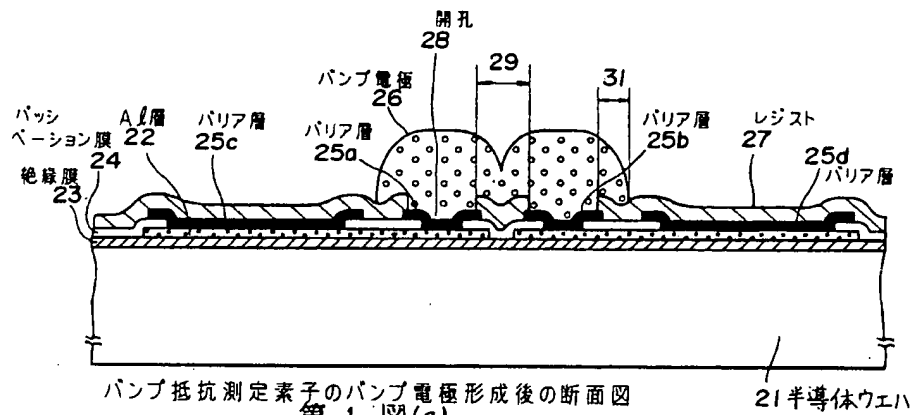
4. 図面の簡単な説明

第1図(a)はこの発明の半導体素子の製造方法の一実施例の工程を説明するためのパンプ抵抗測定素子のパンプ電極形成後の断面図、第1図(b)は同上実施例の工程を説明するためのパンプ電極共晶後の断面図、第2図は同上実施例により製造された半導体素子のTEG部分の平面図、第3図は従来の半導体デバイスの平面図、第4図は第3図の半導体デバイスにおけるTEG部分の拡大平面図、第5図は第4図のa-a1線の拡大断面図、第6図は従来の半田パンプ電極を形成しない半導体素子の製造方法を説明するための断面図である。

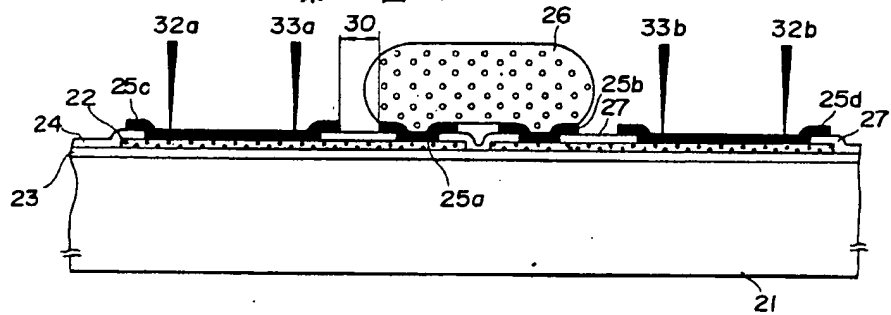
21…半導体ウエハ、22…Al層、23…絶縁膜、24…パッシベーション膜、25a、25b…パンプ抵抗測定部のバリア層、25c、25d…ブローブ接触パット、26…パンプ電極、27…レジスト。

特許出願人 沖電気工業株式会社
代理人 弁理士 菊池 弘



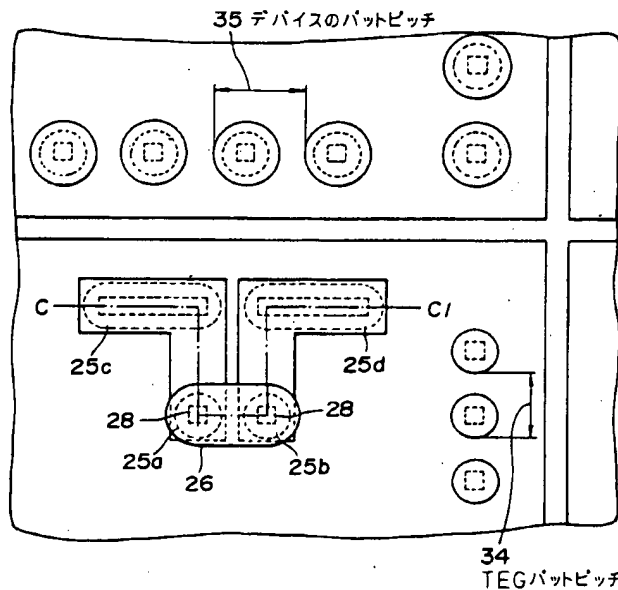


ポンプ抵抗測定素子のポンプ電極形成後の断面図
第1図(a)



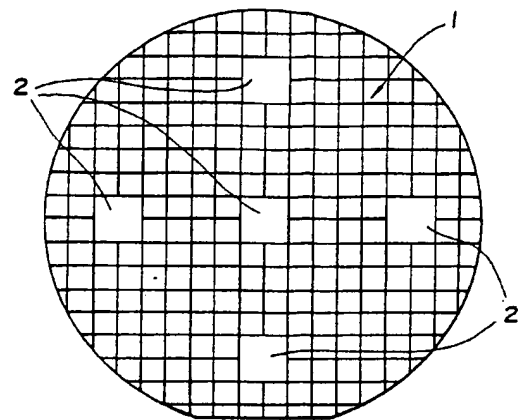
本発明によるポンプ電極共晶後の断面図

第1図(b)



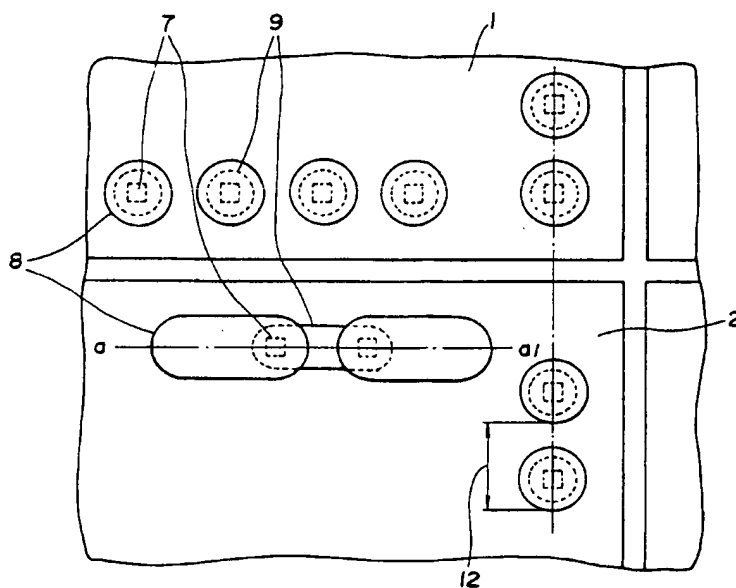
TEG部分の平面図

第2図



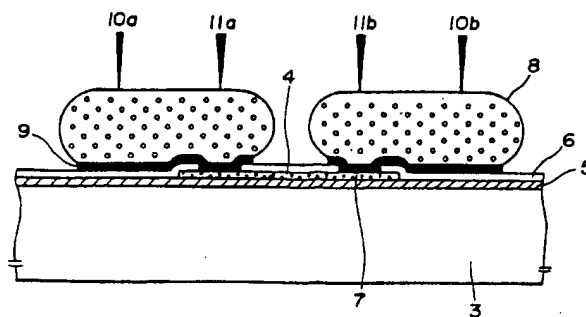
従来のデバイスの平面図

第3図



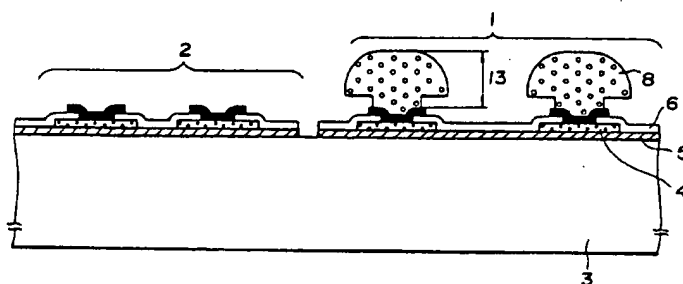
第3図のTEGの部分の拡大平面図

第4図



第4図のa-a'部の拡大断面図

第5図



従来の半田バンプ電極形成しない半導体素子の製造方法を説明するための断面図

第6図